

Docket No.: YHK-0132



PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :

Jung Gwan HAN, Seong Won JI, Beong Ha LIM,
and Yang Keun LEE :

Serial No.: 10/784,782 :

Filed: February 24, 2004 :

Customer No.: 34610 :

For: PLASMA DISPLAY AND METHOD OF DRIVING THE SAME

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window
Crystal Plaza Two, Lobby, Room 1B03
Arlington, Virginia 22202

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. 10-2003-0011767, filed February 25, 2003.

A copy of each priority application listed above is enclosed.

Respectfully submitted,
FLESHNER & KIM, LLP

Daniel Y.J. Kim
Registration No. 36,186

P.O. Box 221200
Chantilly, Virginia 20153-1200
703 766-3701 DYK/tlg
Date: April 9, 2004

Please direct all correspondence to Customer Number 34610



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0011767
Application Number

op 4004

출원년월일 : 2003년 02월 25일
Date of Application FEB 25, 2003

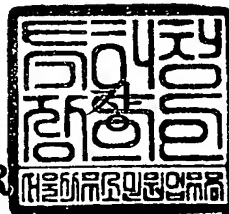
출원인 : 엘지전자 주식회사
Applicant(s) LG Electronics Inc.



2004 년 01 월 30 일

특 허 청

COMMISSIONER





【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.02.25
【발명의 명칭】	플라즈마 디스플레이 패널의 구동방법 및 장치
【발명의 영문명칭】	METHOD AND APPARATUS FOR DRIVING PLASMA DISPLAY PANEL
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-2002-012840-3
【대리인】	
【성명】	김영호
【대리인코드】	9-1998-000083-1
【포괄위임등록번호】	2002-026946-4
【발명자】	
【성명의 국문표기】	한정관
【성명의 영문표기】	HAN, Jung Gwan
【주민등록번호】	690309-1023918
【우편번호】	730-756
【주소】	경상북도 구미시 구포동 성원아파트 108동 1201호
【국적】	KR
【발명자】	
【성명의 국문표기】	지성원
【성명의 영문표기】	JI, Seong Won
【주민등록번호】	760126-1117321
【우편번호】	718-833
【주소】	경상북도 칠곡군 석적면 중리 141 부영아파트 111동 308호
【국적】	KR
【발명자】	
【성명의 국문표기】	임병하
【성명의 영문표기】	LIM, Beong Ha
【주민등록번호】	700408-1691227



1020030011767

출력 일자: 2004/2/2

【우편번호】	704-370
【주소】	대구광역시 달서구 상인동 1479-3번지
【국적】	KR
【발명자】	
【성명의 국문표기】	이양근
【성명의 영문표기】	LEE, Yang Keun
【주민등록번호】	740613-1247031
【우편번호】	730-030
【주소】	경상북도 구미시 공단동 108-15 비산연립 114동 202호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 김영호 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	10 면 10,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	15 항 589,000 원
【합계】	628,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통



【요약서】

【요약】

본 발명은 어드레스방전에 소모되는 소비전력을 저감하고 데이터 구동회로의 발열양을 줄이도록 한 플라즈마 디스플레이 패널의 구동방법 및 장치에 관한 것이다.

이 플라즈마 디스플레이 패널의 구동방법 및 장치는 제1 전압의 데이터와 스캔펄스를 셀에 인가하여 온셀을 선택하고, 제1 전압보다 높은 제2 전압의 데이터와 스캔펄스를 셀에 인가하여 오프셀을 선택하게 된다.

【대표도】

도 7

【명세서】**【발명의 명칭】**

플라즈마 디스플레이 패널의 구동방법 및 장치{METHOD AND APPARATUS FOR DRIVING PLASMA DISPLAY PANEL}

【도면의 간단한 설명】

도 1은 종래의 플라즈마 디스플레이 패널을 개략적으로 나타내는 평면도이다.

도 2는 종래의 플라즈마 디스플레이 패널의 구동방법을 설명하기 위한 프레임 구성도이다.

도 3은 종래의 플라즈마 디스플레이 패널에 공급되는 구동파형을 나타내는 파형도이다.

도 4는 도 3과 같은 구동파형이 플라즈마 디스플레이 패널에 공급될 때 온셀의 벽전하 변화를 나타내는 도면이다.

도 5는 도 3과 같은 구동파형이 플라즈마 디스플레이 패널에 공급될 때 오프셀의 벽전하 변화를 나타내는 도면이다.

도 6은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동장치를 개략적으로 나타내는 블록도이다.

도 7은 본 발명의 실시예에 따른 플라즈마 디스플레이 패널의 구동파형을 나타내는 파형도이다.

도 8은 도 7과 같은 구동파형이 플라즈마 디스플레이 패널에 공급될 때 온셀의 벽전하 변화를 나타내는 도면이다.

도 9는 도 8과 같은 구동파형이 플라즈마 디스플레이 패널에 공급될 때 오프셀의 벽전하 변화를 나타내는 도면이다.

< 도면의 주요 부분에 대한 부호의 설명 >

60 : 타이밍 컨트롤러

61 : 데이터 구동부

62 : 스캔 구동부

63 : 서스테인 구동부

64 : 구동전압 발생부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 플라즈마 디스플레이 패널에 관한 것으로 특히, 어드레스방전에 소모되는 소비전력을 저감하고 데이터 구동회로의 발열량을 줄이도록 한 플라즈마 디스플레이 패널의 구동 방법 및 장치에 관한 것이다.

<15> 플라즈마 디스플레이 패널(Plasma Display Panel : 이하 "PDP"라 함)은 He+Xe, Ne+Xe, He+Xe+Ne 가스의 방전시 발생하는 147nm의 자외선에 의해 형광체를 발광시킴으로써 문자 또는 그래픽을 포함한 화상을 표시하게 된다. 이러한 PDP는 박막화와 대형화가 용이할 뿐만 아니라 최근의 기술 개발에 힘입어 크게 향상된 화질을 제공한다. 특히, 3전극 교류 면방전형 PDP는 방전시 표면에 축적된 벽전하를 이용하여 방전에 필요한 전압을 낮추게 되며, 방전에 의해 발생하는 스퍼터링으로부터 전극들을 보호하기 때문에 저전압 구동과 장수명의 장점을 가진다.

- <16> 도 1을 참조하면, 종래의 3 전극 교류 면방전형 PDP는 n 개의 스캔전극들(Y_1 내지 Y_n) 및 n 개의 공통서스테인전극들(Z)이 방전공간을 사이에 두고 m 개의 어드레스전극들(X_1 내지 X_m)에 교차되며, 그 교차부에 $m \times n$ 개의 셀들(1)이 형성된다. 인접한 어드레스전극들(X_1 내지 X_m) 사이에는 수평으로 인접한 셀들(1) 사이의 전기적, 광학적 혼신을 차단하기 위한 격벽(2)이 형성된다.
- <17> 스캔전극들(Y_1 내지 Y_n)은 스캔신호가 순차적으로 인가되어 스캔라인을 선택한 후에, 서스테인펄스가 공통으로 인가되어 선택된 셀에 대하여 서스테인방전을 일으킨다. 공통서스테인전극들(Z)은 스캔전극들(Y_1 내지 Y_n)에 공급되는 서스테인펄스와 교번하는 서스테인펄스가 인가되어 선택된 셀에 대하여 서스테인방전을 일으킨다. 어드레스전극들(X_1 내지 X_m)은 스캔신호와 동기되는 데이터펄스가 인가되어 셀(1)을 선택하게 된다.
- <18> PDP는 화상의 계조를 구현하기 위하여, 한 필드기간(NTSC 방식 : 16.67ms)을 발광횟수가 다른 여러 서브필드로 나누어 시분할 구동하게 된다. 각 서브필드는 전화면의 셀들을 초기화시키기 위한 리셋기간, 스캔라인을 선택하고 선택된 스캔라인에서 셀을 선택하기 위한 어드레스기간 및 방전횟수에 따라 계조를 표현하는 서스테인기간(또는 표시기간)으로 나뉘어진다. 예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 1/60 초에 해당하는 프레임 기간(16.67ms)은 도 2와 같이 8개의 서브필드들(SF1 내지 SF8)로 나누어지게 된다. 8개의 서브필드들(SF1 내지 SF8) 각각은 전술한 바와 같이, 리셋기간, 스캔기간 및 표시기간으로 나누어지게 된다. 여기서, 각 서브필드의 리셋기간과 어드레스기간은 각 서브필드마다 동일한 반면에 표시기간은 각 서브필드에서 2^n ($n=0,1,2,3,4,5,6,7$)의 비율로 증가된다.
- <19> 도 2에 있어서, 도면부호 'SC1~SCn'은 PDP에 형성된 n 개의 스캔라인이다.

- <20> 도 3은 한 서브필드 기간 동안 PDP에 공급되는 구동신호를 나타낸다. 도 4 및 도 5는 도 3과 같은 구동신호가 PDP에 인가될 때의 벽전하 변화를 도식적으로 나타낸 것이다.
- <21> 도 3 내지 도 5를 참조하면, PDP는 전셀들을 초기화하기 위한 리셋기간, 셀을 선택하기 위한 어드레스 기간 및 선택된 셀의 방전을 유지시키기 위한 서스테인기간으로 나누어 구동된다.
- <22> 리셋기간에 있어서, 모든 스캔전극들(Y)에 상승 램프파형(Ramp-up)이 동시에 인가된다. 이와 동시에, 서스테인전극(Z)과 어드레스전극(X)에는 0[V]가 인가된다. 상승 램프파형(Ramp-up)에 의해 전화면의 셀들 내에서 스캔전극(Y)과 어드레스전극(X) 사이와 스캔전극(Y)과 서스테인전극(Z) 사이에는 빛이 거의 발생되지 않는 다크 방전(Dark discharge)이 일어난다. 이 셋업방전에 의해 어드레스전극(X)과 서스테인전극(Z) 상에는 정극성(+)의 벽전하가 쌓이게 되며, 스캔전극(Y) 상에는 부극성(-)의 벽전하가 쌓이게 된다. 여기서, 스캔전극(Y) 상에 쌓여진 부극성(-)의 벽전하량은 어드레스전극(X)과 서스테인전극(Z) 상에 쌓여진 정극성(+)의 벽전하의 총량과 동일하다.
- <23> 상승 램프파형(Ramp-up)에 이어서, 상승 램프파형(Ramp-up)의 피크전압보다 낮은 정극성 전압에서 떨어지기 시작하여 기저전압(GND) 또는 부극성의 특정 전압레벨까지 떨어지는 하강 램프파형(Ramp-down)이 스캔전극들(Y)에 동시에 인가된다. 이와 동시에, 서스테인전극(Z)에는 정극성의 서스테인전압(V_s)이 인가되고, 어드레스전극(X)에는 0[V]가 인가된다. 이렇게 하강 램프파형(Ramp-down)이 인가될 때, 스캔전극(Y)과 서스테인전극(Z) 사이에 빛이 거의 발생되지 않는 다크 방전이 일어난다. 스캔전극(Y)과 어드레스전극(X) 사이에서는 하강 램프파형(Ramp-down)이 떨어지는 구간에서 방전이 일어나지 않고 하강 램프파형(Ramp-down)의 하한점에서 다크 방전이 일어난다. 이 방전에 의해 어드레스방전에 불필요한 과도한 벽전하가 소거된

다. 이 때, 어드레스전극(X) 상의 벽전하 변화는 거의 없다. 그리고 스캔전극(Y)에는 부극성 벽전하가 감소되고, 서스테인전극(Z)에는 스캔전극(Y)의 부극성(-) 벽전하의 감소분만큼 자신에게 부극성 벽전하가 쌓이면서 작은 양의 부극성(-) 벽전하가 쌓이게 된다.

<24> 어드레스기간에는 0[V] 또는 부극성 스캔전압($-V_y$)의 부극성 스캔펄스(sc_n)가 스캔전극들(Y)에 순차적으로 인가됨과 동시에 데이터전압(V_d)의 정극성 데이터펄스(data)가 어드레스전극들(X)에 인가된다. 스캔펄스(sc_n)와 데이터펄스(data)의 전압차와 리셋기간에 생성된 벽전압이 더해지면서 데이터펄스(data)가 인가되는 온셀(on-cell) 내에는 도 4와 같이 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 온셀들 내에는 서스테인전압(V_s)이 인가될 때 방전이 일어날 수 있게 하는 정도의 벽전하가 형성된다. 이 때, 스캔전극(Y) 상에는 어드레스 방전에 의해 정극성(+) 벽전하가 쌓이게 되며 서스테인전극(Z)과 어드레스전극(X) 상에는 부극성(-) 벽전하가 쌓이게 된다. 반면에, 도 5와 같이 어드레스전극(X)에 데이터전압(V_d)이 인가되지 않고 0[V]가 인가되거나 스캔전극(Y)에 스캔펄스(sc_n)가 인가되지 않고 정극성의 스캔바이어스전압(V_{scb})가 인가되는 오프셀(off-cell) 내에는 리셋기간에 생성된 벽전압과 외부전압의 합이 방전개시전압보다 낮기 때문에 어드레스방전이 일어나지 않는다. 따라서, 오프셀 내에서는 리셋기간이 완료된 후의 벽전하 상태가 어드레스기간과 서스테인기간에도 유지된다.

<25> 서스테인기간에는 스캔전극(Y)에 서스테인전압(V_s)의 서스테인펄스(sus)가 먼저 인가된 후에 서스테인전극(Z)과 스캔전극(Y)에 교대로 서스테인펄스(sus)가 연속적으로 인가된다. 그러면 어드레스방전에 의해 선택된 셀은 셀 내의 벽전압과 서스테인전압(V_s)이 더해지면서 도 4와 같이 매 서스테인펄스(sus)가 인가될 때 마다 스캔전극(Y)과 서스테인전극(Z) 사이에 서스테인방전 즉, 표시방전이 일어나게 된다. 반면에, 어드레스기간에 선택되지 않은 비선택셀 내

에는 도 5와 같이 셀 내의 벽전압과 외부전압의 합이 방전개시전압보다 낮기 때문에 서스테인 방전이 일어나지 않는다.

<26> 서스테인방전이 완료된 후에는 서스테인방전에 의해 셀 내에 잔류하는 벽전하를 소거하기 위한 소거신호(도시하지 않음)가 스캔전극(Y)이나 서스테인전극(Z)에 인가된다.

<27> 이렇게 종래의 PDP는 어드레스기간 동안 온셀(on-cell)을 선택하기 위하여 어드레스전극들(X)에 고전압의 데이터전압(V_d)이 인가되어야 하고 그 온셀들 내에서 일어나는 어드레스방전에 의해 과도한 전류가 발생된다. 이 때문에 종래의 PDP는 소비전력이 커지게 되며 어드레스전극들(X)을 구동하기 위한 데이터 구동 집적회로(IC)의 발열량이 커지므로 신뢰성이 떨어지는 문제점 있다.

【발명이 이루고자 하는 기술적 과제】

<28> 따라서, 본 발명의 목적은 어드레스방전에 소모되는 소비전력을 저감하고 데이터 구동회로의 발열량을 줄이도록 한 PDP의 구동방법 및 장치에 관한 것이다.

【발명의 구성 및 작용】

<29> 상기 목적을 달성하기 위하여, 본 발명의 실시예에 따른 PDP의 구동방법은 셀들을 초기화시키는 단계와; 제1 전압의 데이터와 스캔펄스를 상기 셀에 인가하여 온셀을 선택하는 단계와; 제1 전압보다 높은 제2 전압의 데이터와 스캔펄스를 셀에 인가하여 오프셀을 선택하는 단계를 포함한다.

- <30> 상기 셀들을 초기화시키는 단계는 스캔전극과 서스테인전극에 동일한 파형을 공급하여 동일한 극성의 벽전하를 스캔전극과 서스테인전극에 형성시키는 단계를 포함한다.
- <31> 상기 스캔전극과 상기 서스테인전극에 동일한 파형을 공급하는 단계는 하강 램프파형에 이어서 상승 램프파형을 스캔전극과 서스테인전극에 동시에 공급하는 것을 특징으로 한다.
- <32> 상기 하강 램프파형은 부극성의 제1 전압부터 하강하기 시작하여 부극성의 제1 전압보다 절대치가 높은 부극성의 제2 전압까지 하강하는 것을 특징으로 한다.
- <33> 상승 램프파형은 부극성의 제1 전압부터 상승하기 시작하여 0[V]까지 상승하는 것을 특징으로 한다.
- <34> 상기 온셀을 선택하기 위한 제1 전압은 0[V]와 기저전압[GND] 중 어느 하나인 것을 특징으로 한다.
- <35> 상기 스캔펄스는 정극성의 전압인 것을 특징으로 한다.
- <36> 상기 온셀을 선택하는 단계는 제1 전압의 데이터를 어드레스전극에 인가함과 동시에 정극성의 스캔펄스를 스캔전극에 공급하는 단계를 포함한다.
- <37> 상기 오프셀을 선택하는 단계는 제2 전압의 데이터를 어드레스전극에 인가함과 동시에 정극성의 스캔펄스를 상기 스캔전극에 인가하는 단계를 포함한다.
- <38> 본 발명의 실시예에 따른 PDP의 구동방법은 전셀들에 대하여 서스테인펄스를 인가하여 온셀들에 대하여 서스테인방전을 일으키는 단계를 더 포함한다.
- <39> 본 발명의 실시예에 따른 PDP의 구동장치는 제1 전압의 데이터와 제1 전압보다 높은 제2 전압의 데이터를 어드레스전극에 공급하기 위한 데이터 구동부와; 셀들을 초기화시킨 후에 스캔펄스를 스캔전극에 인가하기 위한 스캔 구동부를 구비한다.

- <40> 상기 제1 전압의 데이터와 스캔펄스가 인가되는 셀은 온셀로서 선택되며 제2 전압의 데이터와 스캔펄스가 인가되는 셀은 오프셀로 선택되는 것을 특징으로 한다.
- <41> 본 발명의 실시예에 따른 PDP의 구동장치는 서스테인전극을 구동하기 위한 서스테인 구동부를 더 구비한다.
- <42> 상기 스캔 구동부와 상기 서스테인 구동부는 스캔전극과 서스테인전극에 동일한 파형을 공급하여 동일한 극성의 벽전하를 스캔전극과 서스테인전극에 형성시키는 것을 특징으로 한다.
- <43> 상기 스캔 구동부와 상기 서스테인 구동부는 하강 램프파형에 이어서 상승 램프파형을 스캔전극과 서스테인전극에 동시에 공급하여 셀들을 초기화시키는 것을 특징으로 한다.
- <44> 상기 스캔 구동부는 제1 전압의 데이터에 동기되는 정극성의 스캔펄스를 스캔전극에 공급하는 것을 특징으로 한다.
- <45> 상기 스캔 구동부와 상기 서스테인 구동부는 전셀들에 대하여 서스테인펄스를 교대로 인가하여 온셀들에 대하여 서스테인방전을 일으키는 것을 특징으로 한다.
- <46> 상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부한 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.
- <47> 이하, 도 6 내지 도 9를 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.
- <48> 도 6을 참조하면, 본 발명의 실시예에 따른 PDP의 구동장치는 PDP의 어드레스전극들(X1 내지 X_m)에 접속된 데이터 구동부(61)와, PDP의 스캔전극들(Y1 내지 Y_n)에 접속된 스캔 구동부(62)와, PDP의 서스테인전극들(Z)에 접속된 서스테인 구동부(63)와, 각 구동부(61,62,63)에 펄

용한 구동전압을 공급하기 위한 구동전압 발생부(64)와 각 구동부(61,62,63)를 제어하기 위한 타이밍 콘트롤러(60)를 구비한다.

<49> 데이터 구동부(61)에는 도시하지 않은 역감마보정회로, 오차확산회로 등에 의해 역감마 보정 및 오차확산 된 후, 서브필드맵핑회로에 의해 각 서브필드에 맵핑된 데이터가 공급된다. 이 데이터 구동부(61)는 타이밍 콘트롤러(60)로부터 공급되는 타이밍제어신호(CTR_X)에 응답하여 데이터를 샘플링한 다음, 그 데이터를 1 수평기간마다 1 수평 라인분씩 어드레스전극들(X₁ 내지 X_m)에 공급하게 된다. 여기서, 데이터 구동부(61)에 공급되는 타이밍제어신호(CTR_X)에는 데이터를 샘플링하기 위한 샘플링클럭과 에너지 회수회로와 구동 스위치소자의 온/오프타임을 제어하기 위한 스위치제어신호가 포함된다. 데이터 구동부(61)로부터 어드레스전극들(X₁ 내지 X_m)에 공급되는 데이터전압은 비선택의 오프셀(off-cell)을 선택한다.

<50> 스캔 구동부(62)는 타이밍 콘트롤러(41)의 제어 하에 리셋기간 동안 하강 램프파형을 스캔전극들(Y₁ 내지 Y_n)에 공급한 후에 상승 램프파형을 스캔전극들(Y₁ 내지 Y_n)에 공급하여 전 셀들을 초기화시킨다. 그리고 스캔 구동부(62)는 타이밍 콘트롤러(60)의 제어 하에 어드레스 기간 동안 스캔전극들(Y₁ 내지 Y_n)에 정극성의 스캔펄스를 스캔전극들(Y₁ 내지 Y_m)에 순차적으로 공급하며, 어드레스 방전에 의해 선택된 셀에 대하여 서스테인방전을 일으키기 위한 서스테인펄스를 스캔전극들(Y₁ 내지 Y_m)에 동시에 공급하게 된다. 스캔 구동부(62)에 인가되는 타이밍제어신호(CTR_Y)에는 스캔 구동부(62) 내의 스위치소자의 온/오프 타임을 제어하기 위한 스위치 제어신호가 포함된다.

<51> 서스테인 구동부(63)는 타이밍 콘트롤러(60)의 제어 하에 리셋기간 동안 스캔 구동부(62)로부터 발생하는 초기화파형과 동일한 형태의 초기화파형 즉, 하강 램프파형과 상승 램프파형이 연속으로 이어지는 파형을 서스테인전극들(Z)에 공급한다. 그리고 서스테인 구동부

(63)는 서스테인기간 동안 스캔 구동부(62)와 교대로 동작하여 서스테인펄스를 서스테인전극들(Z)에 공급하게 된다. 서스테인 구동부(63)에 인가되는 타이밍제어신호(CTRZ)에는 서스테인 구동부(63) 내의 스위치소자의 온/오프 타임을 제어하기 위한 스위치 제어신호가 포함된다.

<52> 구동전압 발생부(64)는 도시하지 않은 메인 보드로부터의 시스템 전원을 펄스폭 변조 방식 등으로 출력전압의 전압레벨을 변환하는 직류-직류 변환기(DC-DC Converter)로 구현된다. 이 구동전압 발생부(64)로부터 출력되는 구동전압은 하강 램프파형의 하한전압에 해당하는 부극성의 리셋전압(-Vrst), 상승 램프파형의 시작전압에 해당하는 부극성 전압(-V1), 정극성의 스캔전압(Vsc), 서스테인전압(Vs), 오프셀을 선택하기 위한 정극성의 데이터전압(Vd-off)이다.

<53> 타이밍 콘트롤러(60)는 수직/수평 동기신호와 메인 클럭신호를 입력받고, 그 동기신호와 메인클럭을 이용하여 각 구동부(42,43,44)에 필요한 타이밍 제어신호(CTR_X,CTR_Y,CTR_Z)를 발생한다.

<54> 도 7은 한 서브필드 기간 동안 본 발명에 따른 PDP에 공급되는 구동신호를 나타낸다. 도 8 및 도 9는 도 7과 같은 구동신호가 PDP에 인가될 때의 벽전하 변화를 도식적으로 나타낸 것이다.

<55> 도 7 내지 도 9를 참조하면, 본 발명의 실시예에 따른 PDP는 전셀들을 초기화하기 위한 리셋기간, 셀을 선택하기 위한 어드레스 기간 및 선택된 셀의 방전을 유지시키기 위한 서스테인기간으로 나누어 구동된다.

<56> 리셋기간에 있어서, 모든 스캔전극들(Y1 내지 Y_n)과 서스테인전극들(Z)에 부극성의 -V1 전압으로부터 하강하는 하강 램프파형(Rdn)이 동시에 인가된다. 이와 동시에, 어드레스전극

(X1 내지 Xm)에는 0[V]나 기저전압(GND)이 인가된다. 하강 램프파형(Rdn)에 의해 전화면의 셀들 내에서 스캔전극(Y1 내지 Yn)과 어드레스전극(X1 내지 Xm) 사이와 서스테인전극(Z)과 어드레스전극(X1 내지 Xm) 사이에는 빛이 거의 발생되지 않는 다크 방전(Dark discharge)이 일어난다. 이 방전에 의해 스캔전극(Y)과 서스테인전극(Z) 상에는 정극성(+)의 벽전하가 쌓이게 되며, 어드레스전극(Y) 상에는 부극성(-)의 벽전하가 쌓이게 된다.

<57> 하강 램프파형(Rdn)에 이어서, -V1 전압부터 0[V]나 기저전압(GND)까지 상승하는 상승 램프파형(Rup)이 스캔전극들(Y1 내지 Yn)과 서스테인전극(Z)에 동시에 인가된다. 이 때에 어드레스전극(X1 내지 Xm)은 0[V]나 기저전압(GN)을 유지한다. 이렇게 상승 램프파형(Rup)이 인가될 때, 스캔전극(Y1 내지 Yn)과 어드레스전극(X1 내지 Xm) 사이에 그리고 서스테인전극(Z)과 어드레스전극(X1 내지 Xm) 사이에 빛이 거의 발생되지 않는 다크 방전이 일어난다. 이 방전에 의해 전 셀들 내에서 어드레스방전에 불필요한 과도한 벽전하가 소거된다. 그 결과, 전 셀들 내에는 어드레스방전에 필요한 벽전하가 균일하게 쌓이게 된다. 리셋기간이 종료될 때의 벽전하 분포는 다음과 같다. 어드레스전극(X)에는 부극성의 벽전하가 잔류하게 되며, 스캔전극(Y1 내지 Yn)과 서스테인전극(Z)에는 정극성의 벽전하가 균일하게 잔류하게 된다.

<58> 어드레스기간에는 정극성의 Vsc 전압의 정극성 스캔펄스(scn)가 스캔전극들(Y1 내지 Yn)에 순차적으로 인가됨과 동시에 정극성의 Vd-off의 정극성 데이터펄스(data-off)나 0[V](또는 기저전압(GND))가 어드레스전극들(X1 내지 Xm)에 인가된다. 스캔전극들(Y1 내지 Yn)에 스캔펄스(scn)가 인가되고 0[V]나 기저전압(GND)이 인가되는 온셀 내에는 외부전압과 리셋기간에 생성된 벽전압이 더해지면서 도 8과 같이 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 서스테인전압(Vs)이 인가될 때 방전이 일어날 수 있게 하는 정도의 벽전하가 형성된다. 이 때, 스캔전극(Y1 내지 Yn) 상에는 어드레스 방전에 의해 부극성(-) 벽전하가 쌓

이게 되며 서스테인전극(Z)과 어드레스전극들(X1 내지 X_m) 상에는 정극성(+) 변전하가 쌓이게 된다. 반면에, 도 9와 같이 어드레스전극들(X1 내지 X_m)에 데이터전압(V_{d-off})이 인가되거나 스캔전극(Y)에 스캔펄스(sc_n)가 인가되지 않는 오프셀(off-cell) 내에는 리셋기간에 생성된 벽전압과 외부전압의 합이 방전개시전압보다 낮기 때문에 어드레스방전이 일어나지 않는다. 따라서, 오프셀 내에는 리셋기간이 완료된 후의 벽전하 상태가 어드레스기간과 서스테인기간에도 유지된다.

<59> 서스테인기간에는 서스테인전극(Z)에 V_s 전압의 서스테인펄스(sus)가 먼저 인가된 후에 스캔전극(Y1 내지 Y_m)과 서스테인전극(Z)에 교대로 서스테인펄스(sus)가 연속적으로 인가된다. 그러면 어드레스방전에 의해 선택된 온셀은 셀 내의 벽전압과 V_s 전압이 더해지면서 도 8과 같이 매 서스테인펄스(sus)가 인가될 때 마다 스캔전극(Y1 내지 Y_m)과 서스테인전극(Z) 사이에 서스테인방전 즉, 표시방전이 일어나게 된다. 반면에, 어드레스기간에 선택되지 않은 오프셀 내에는 도 9와 같이 셀 내의 벽전압과 외부전압의 합이 방전개시전압보다 낮기 때문에 서스테인방전이 일어나지 않는다.

<60> 서스테인방전이 완료된 후에는 서스테인방전에 의해 셀 내에 잔류하는 벽전하를 소거하기 위한 소거신호(도시하지 않음)가 스캔전극(Y)이나 서스테인전극(Z)에 인가된다.

<61> 결과적으로, 본 발명에 따른 PDP의 구동방법 및 장치는 0V나 기저전압(GND)으로 설정된 낮은 전압으로 어드레스방전을 일으켜 온셀을 선택하고 스캔전극에 정극성 스캔전압을 인가하여 정극성 전압을 인가하는 셀을 어드레스방전이 일어나지 않는 오프셀로서 선택하게 된다.

【발명의 효과】

<62> 상술한 바와 같이, 본 발명에 따른 PDP의 구동방법 및 장치는 0V나 기저전압(GND)으로 설정된 낮은 데이터전압으로 온셀을 선택하고 어드레스방전이 일어나지 않은 오프셀을 높은 데이터전압으로 선택하게 된다. 그 결과 본 발명에 따른 PDP의 구동방법 및 장치는 어드레스방전시에 데이터전극에 인가되는 전압이 최소화되므로 소비전력이 작아지게 됨은 물론 상대적으로 높은 전압이 인가되는 셀에서도 어드레스방전이 일어나지 않으므로 전류가 발생되지 않기 때문에 소비전력이 더 작아지게 된다. 또한, 본 발명에 따른 PDP의 구동방법 및 장치는 어드레스방전에 필요한 전압이 낮고 전류가 작게 발생되므로 데이터 구동 집적회로(IC)의 발열량을 최소화하여 구동 신뢰성을 높일 수 있게 된다.

<63> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

【특허청구범위】**【청구항 1】**

어드레스전극, 스캔전극 및 서스테인전극이 형성되며 그 전극들의 교차부에 셀들이 마련되는 플라즈마 디스플레이 패널을 구동하기 위한 방법에 있어서,

상기 셀들을 초기화시키는 단계와;

제1 전압의 데이터와 스캔펄스를 상기 셀에 인가하여 온셀을 선택하는 단계와;

상기 제1 전압보다 높은 제2 전압의 데이터와 상기 스캔펄스를 상기 셀에 인가하여 오프셀을 선택하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 2】

제 1 항에 있어서,

상기 셀들을 초기화시키는 단계는,

상기 스캔전극과 상기 서스테인전극에 동일한 파형을 공급하여 동일한 극성의 벽전하를 상기 스캔전극과 상기 서스테인전극에 형성시키는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 3】

제 2 항에 있어서,

상기 스캔전극과 상기 서스테인전극에 동일한 파형을 공급하는 단계는,

하강 램프파형에 이어서 상승 램프파형을 상기 스캔전극과 상기 서스테인전극에 동시에 공급하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 4】

제 3 항에 있어서,

상기 하강 램프파형은 부극성의 제1 전압부터 하강하기 시작하여 상기 부극성의 제1 전압보다 절대치가 높은 부극성의 제2 전압까지 하강하고,

상기 상승 램프파형은 상기 부극성의 제1 전압부터 상승하기 시작하여 0[V]까지 상승하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 5】

제 1 항에 있어서,

상기 온셀을 선택하기 위한 제1 전압은 0[V]와 기저전압[GND] 중 어느 하나이며,

상기 스캔펄스는 정극성의 전압인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 6】

제 5 항에 있어서,

상기 온셀을 선택하는 단계는,

상기 제1 전압의 데이터를 상기 어드레스전극에 인가함과 동시에 상기 정극성의 스캔펄스를 상기 스캔전극에 공급하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 7】

제 5 항에 있어서,

상기 오프셀을 선택하는 단계는,

상기 제2 전압의 데이터를 상기 어드레스전극에 인가함과 동시에 상기 정극성의 스캔펄스를 상기 스캔전극에 인가하는 단계를 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 8】

제 1 항에 있어서,

상기 전셀들에 대하여 서스테인펄스를 인가하여 상기 온셀들에 대하여 서스테인방전을 일으키는 단계를 더 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【청구항 9】

어드레스전극, 스캔전극 및 서스테인전극이 형성되며 그 전극들의 교차부에 셀들이 마련되는 플라즈마 디스플레이 패널을 구동하기 위한 장치에 있어서,

제 1 전압의 데이터와 상기 제1 전압보다 높은 제2 전압의 데이터를 상기 어드레스전극에 공급하기 위한 데이터 구동부와;

상기 셀들을 초기화시킨 후에 스캔펄스를 상기 스캔전극에 인가하기 위한 스캔 구동부를 구비하며,

상기 제1 전압의 데이터와 상기 스캔펄스가 인가되는 셀은 온셀로서 선택되며 상기 제2 전압의 데이터와 상기 스캔펄스가 인가되는 셀은 오프셀로 선택되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【청구항 10】

제 9 항에 있어서,

상기 서스테인전극을 구동하기 위한 서스테인 구동부를 더 구비하며,

상기 스캔 구동부와 상기 서스테인 구동부는 상기 스캔전극과 상기 서스테인전극에 동일한 파형을 공급하여 동일한 극성의 벽전하를 상기 스캔전극과 상기 서스테인전극에 형성시키는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【청구항 11】

제 10 항에 있어서,

상기 스캔 구동부와 상기 서스테인 구동부는,

하강 램프파형에 이어서 상승 램프파형을 상기 스캔전극과 상기 서스테인전극에 동시에 공급하여 상기 셀들을 초기화시키는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【청구항 12】

제 11 항에 있어서,

상기 하강 램프파형은 부극성의 제1 전압부터 하강하기 시작하여 상기 부극성의 제1 전압보다 절대치가 높은 부극성의 제2 전압까지 하강하고,

상기 상승 램프파형은 상기 부극성의 제1 전압부터 상승하기 시작하여 0[V]까지 상승하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【청구항 13】

제 9 항에 있어서,

상기 온셀을 선택하기 위한 제1 전압은 0[V]와 기저전압[GND] 중 어느 하나이며,

상기 스캔펄스는 정극성의 전압인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【청구항 14】

제 13 항에 있어서,

상기 스캔 구동부는,

상기 제1 전압의 데이터에 동기되는 정극성의 스캔펄스를 상기 스캔전극에 공급하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

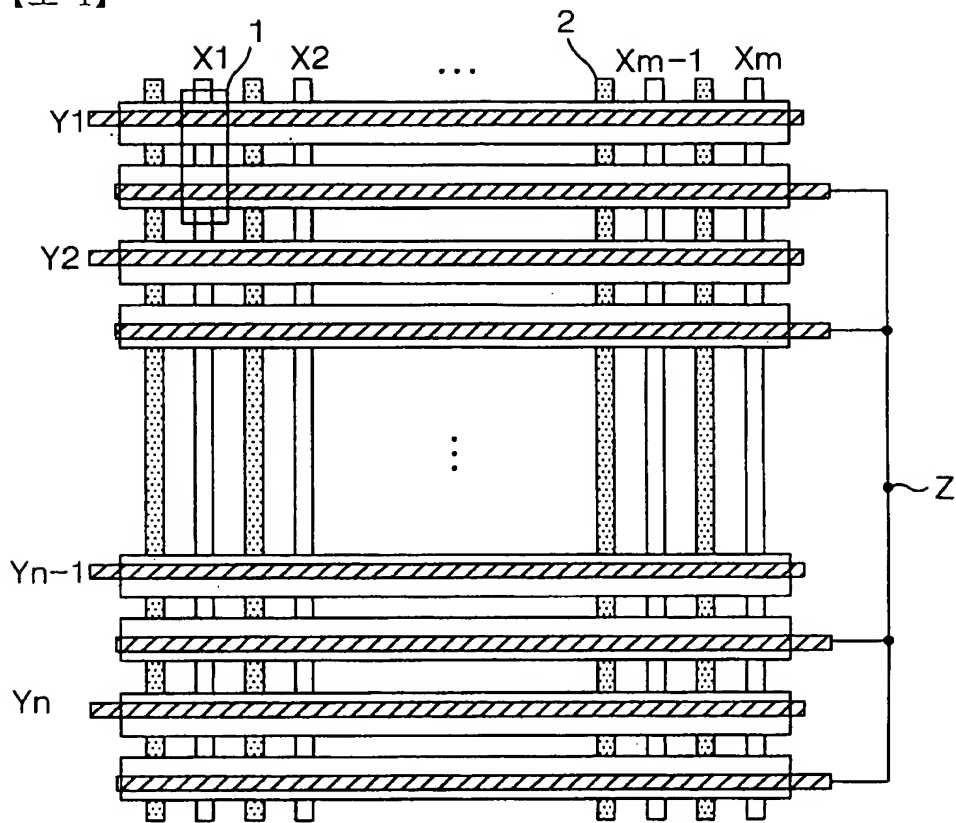
【청구항 15】

제 10 항에 있어서,

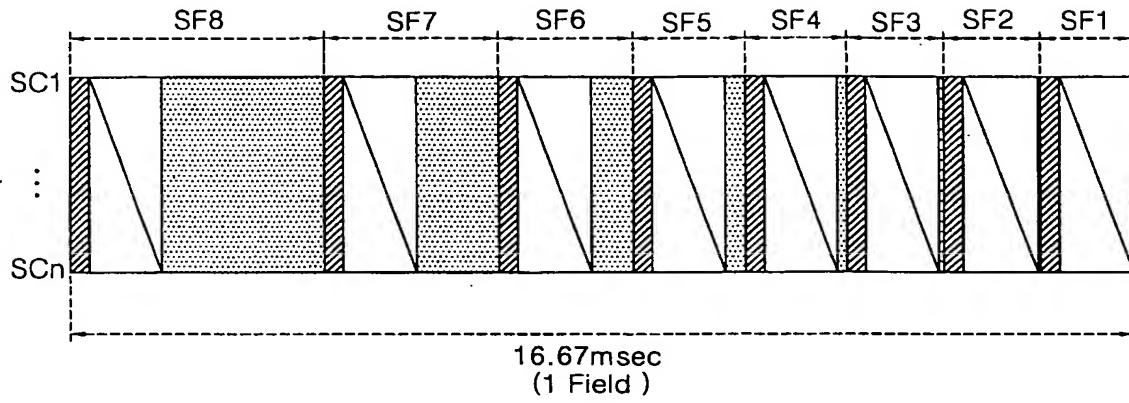
상기 스캔 구동부와 상기 서스테인 구동부는 전셀들에 대하여 서스테인펄스를 교대로 인가하여 상기 온셀들에 대하여 서스테인방전을 일으키는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동장치.

【도면】

【도 1】

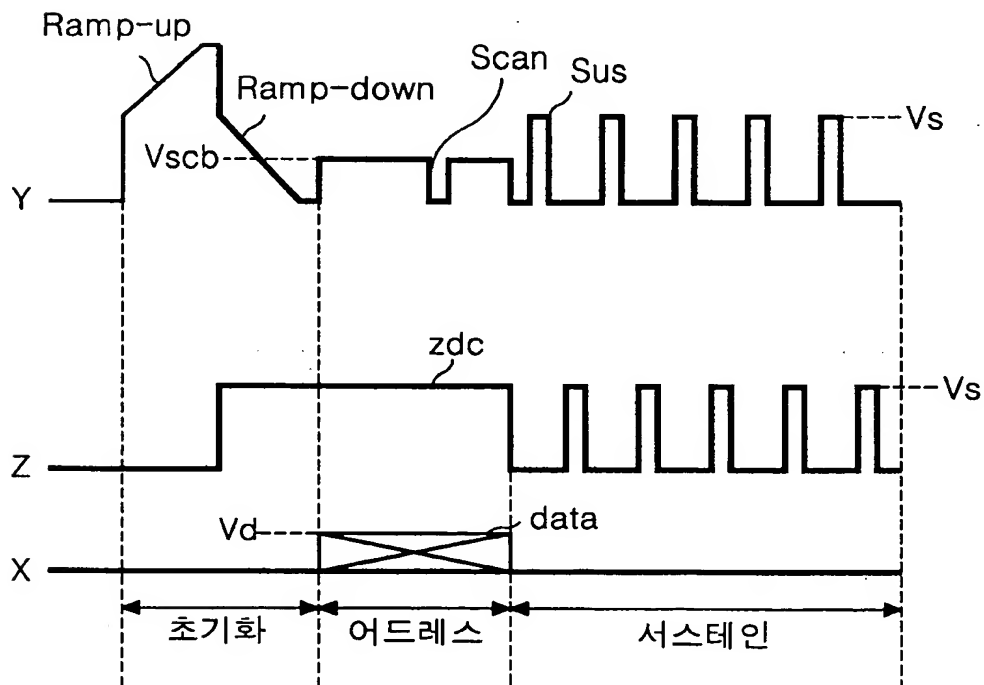


【도 2】



- 리셋기간
- 어드레스 기간
- 서스테인 기간

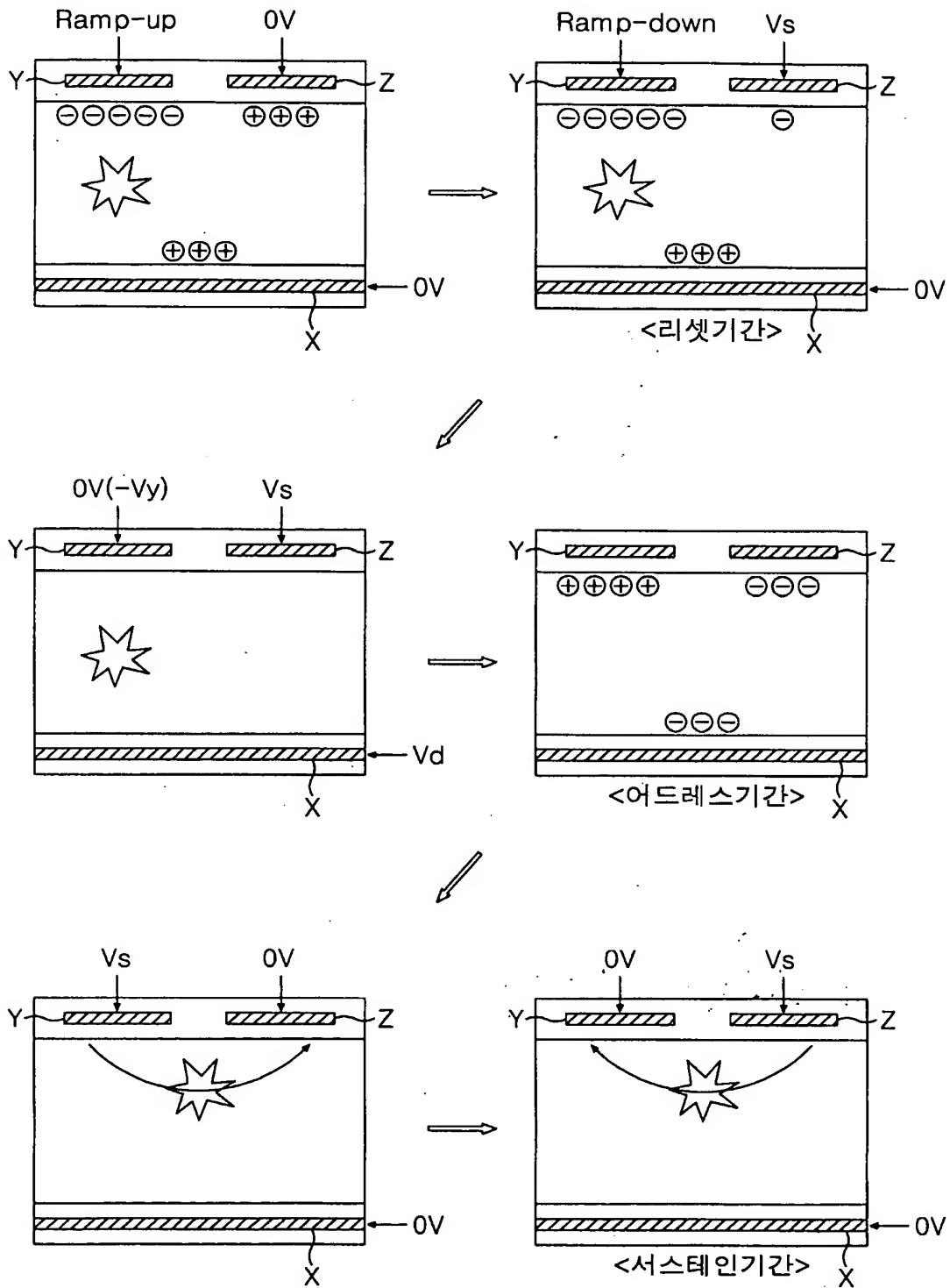
【도 3】



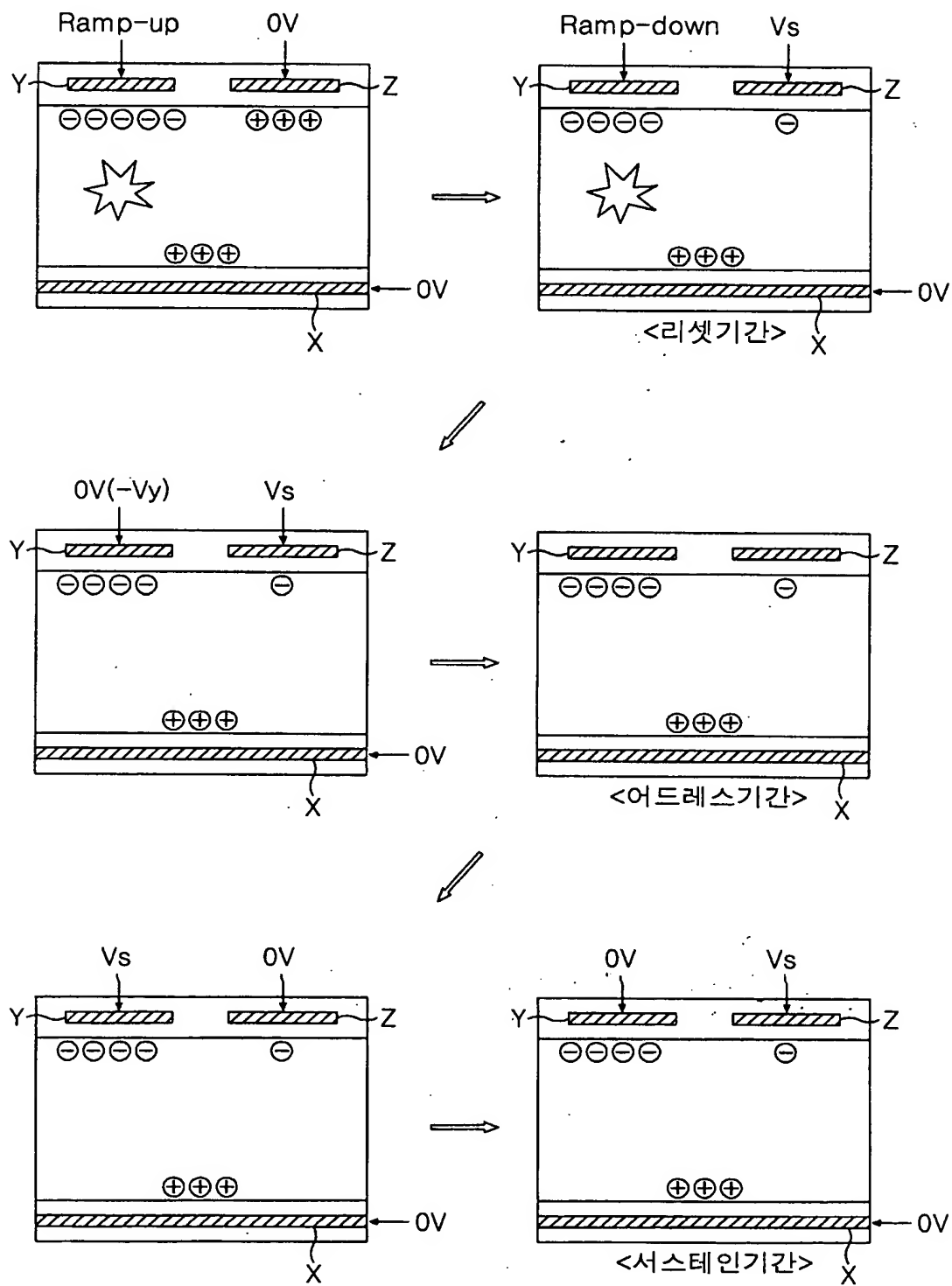
1020030011767

출력 일자: 2004/2/2

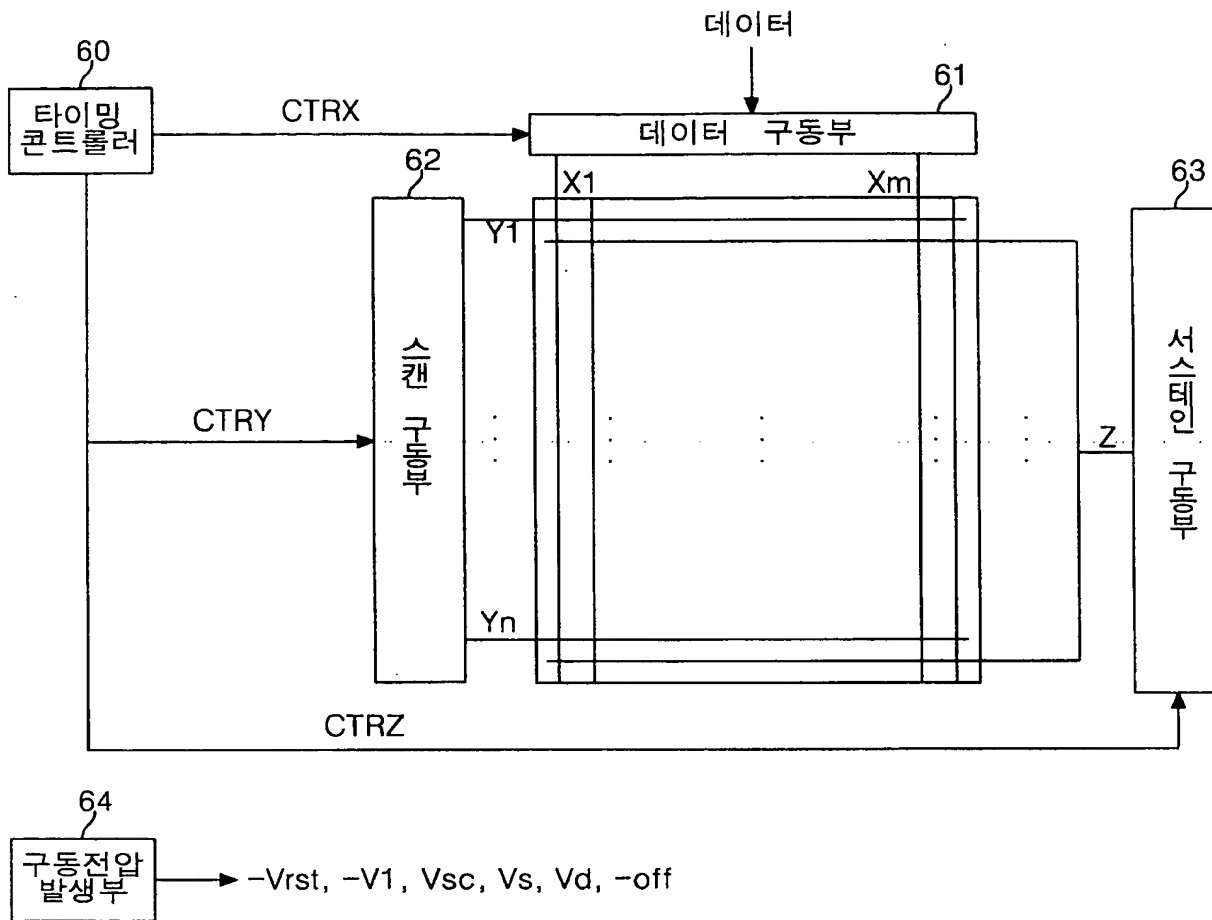
【도 4】



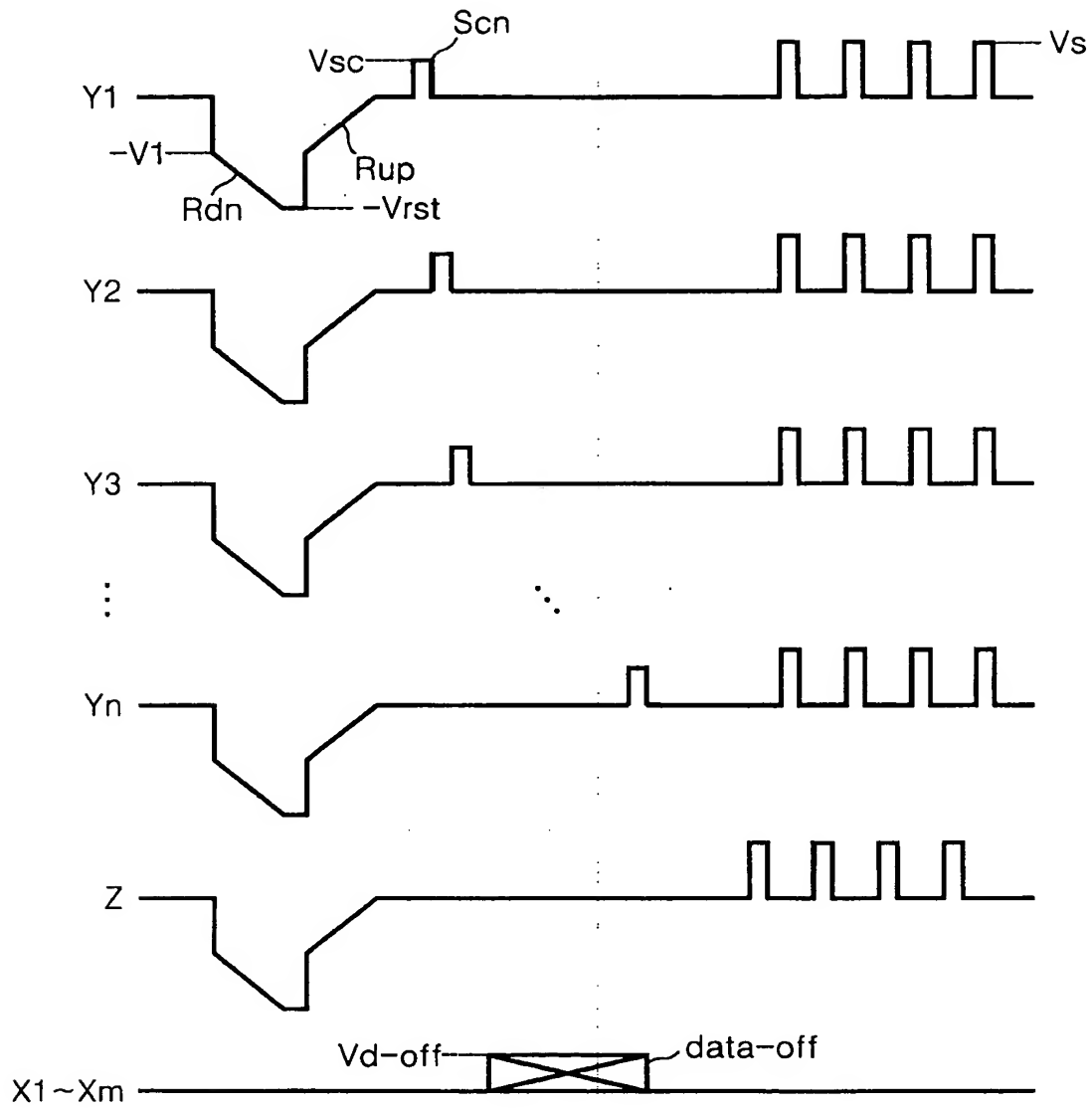
【도 5】



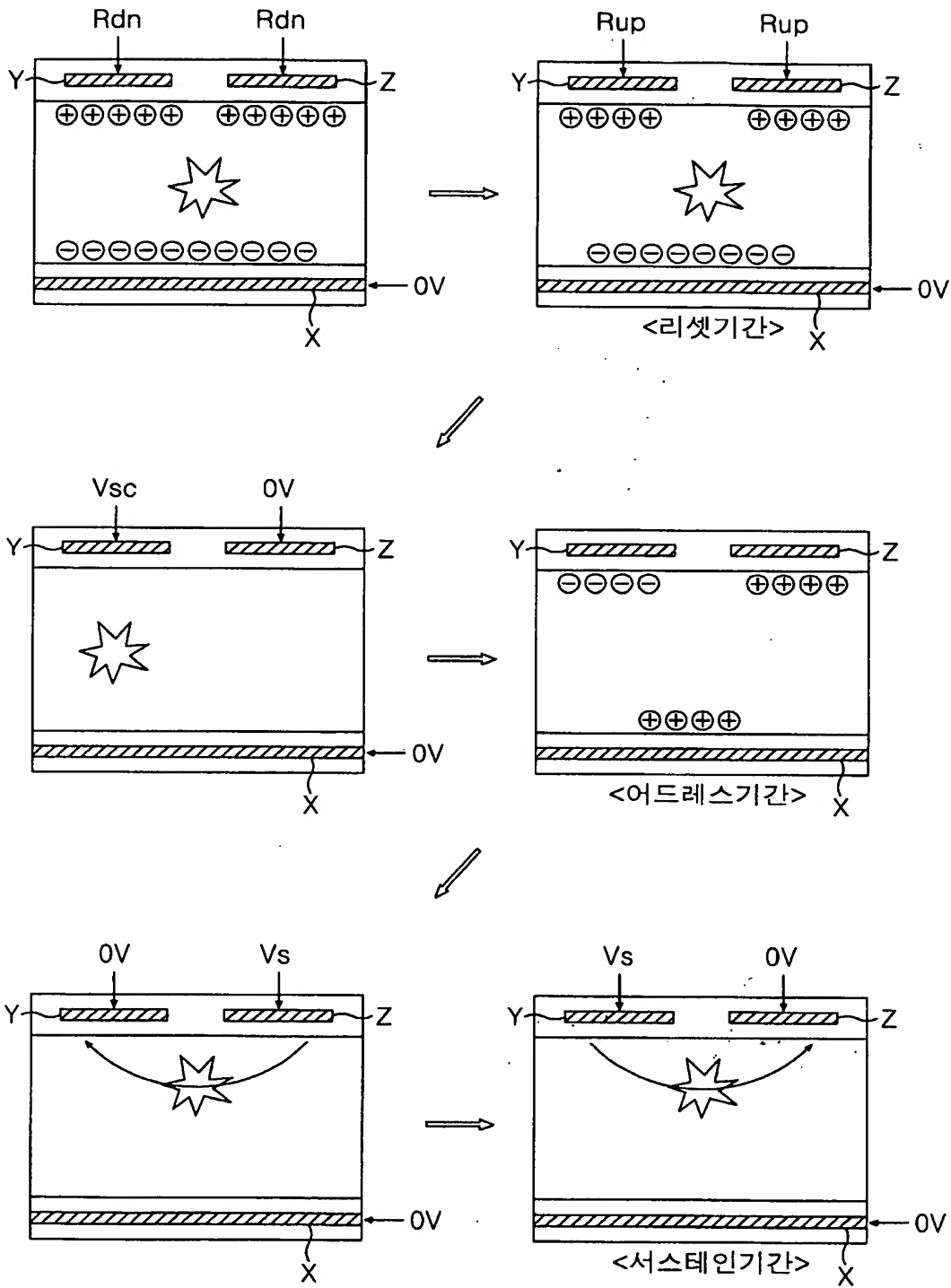
【도 6】



【도 7】



【도 8】



【도 9】

